

REC'D 17 FEB 2005

WIPO
Europäisches PCT
Patentamt



European
Patent Office

Office européen
des brevets

IB/2004/052905

Bescheinigung

Certificate

Attestation

Die angehefteten Unterlagen stimmen mit der ursprünglich eingereichten Fassung der auf dem nächsten Blatt bezeichneten europäischen Patentanmeldung überein.

The attached documents are exact copies of the European patent application described on the following page, as originally filed.

Les documents fixés à cette attestation sont conformes à la version initialement déposée de la demande de brevet européen spécifiée à la page suivante.

Patentanmeldung Nr. Patent application No. Demande de brevet n°

04100011.8 ✓

**PRIORITY
DOCUMENT**
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

Der Präsident des Europäischen Patentamts;
Im Auftrag

For the President of the European Patent Office

Le Président de l'Office européen des brevets
p.o.

R C van Dijk



Anmeldung Nr:

Application no.: 04100011.8 ✓

Demande no:

Anmeldetag:

Date of filing: 06.01.04 ✓

Date de dépôt:

Anmelder/Applicant(s)/Demandeur(s):

Philips Intellectual Property GmbH

20099 Hamburg

ALLEMAGNE

Koninklijke Philips Electronics N.V.

Groenewoudseweg 1

5621 BA Eindhoven

PAYS-BAS

Bezeichnung der Erfindung/Title of the invention/Titre de l'invention:

(Falls die Bezeichnung der Erfindung nicht angegeben ist, siehe Beschreibung.

If no title is shown please refer to the description.

Si aucun titre n'est indiqué se référer à la description.)

Halbleiterbauelement mit Isolationsschicht

In Anspruch genommene Priorität(en) / Priority(ies) claimed / Priorité(s)
revendiquée(s)

Staat/Tag/Aktenzeichen/State/Date/File no./Pays/Date/Numéro de dépôt:

Internationale Patentklassifikation/International Patent Classification/
Classification internationale des brevets:

H01L21/00

Am Anmeldetag benannte Vertragsstaaten/Contracting states designated at date of
filing/Etats contractants désignées lors du dépôt:

AT BE BG CH CY CZ DE DK EE ES FI FR GB GR HU IE IT LU MC NL
PT RO SE SI SK TR LI

BESCHREIBUNG

Halbleiterbauelement mit Isolationsschicht

Die Erfindung betrifft ein Halbleiterbauelement, welches in einem Halbleiterkörper angeordnet ist, mit mindestens einer Sourcezone und mit mindestens einer Drainzone
5 vom jeweils ersten Leitungstyp, mit mindestens einer jeweils zwischen Sourcezone und Drainzone angeordneten Bodyzone vom zweiten Leitungstyp, mit mindestens einer gegenüber dem Halbleiterkörper über eine Isolationsschicht isolierten Gateelektrode. Die Erfindung betrifft auch ein Verfahren zur Herstellung eines Halbleiterbauelementes.

10

Bauelemente mit Transistorfunktion sind in vielfältigen Ausführungsformen bekannt. Eine dieser Ausführungsformen stellt der Typ des Feldeffekt-Transistors (FET) dar. Bei einem Feldeffekt-Transistor wird die Ladungsträgerdichte in einem elektrischen Kanal, der mit der Sourcezone und der Drainzone kontaktiert ist, durch Anlegen einer
15 Spannung an eine Steuerelektrode (Gateelektrode) verändert. Die Steuerelektrode kann entweder durch einen sperrenden pn-Übergang (J-FET) oder eine Isolationsschicht (meistens SiO_2 oder ein Metalloxid) vom Kanal getrennt sein (MOS-FET). Bei einem MOS-FET wird durch Influenz unter der Gateelektrode bei zunehmender Gate-Spannung ein leitender Kanal erzeugt. Die Art der Spannung, dass heißt positive oder
20 negative Spannung, hängt vom Dotierungstyp des FETs ab.

Es besteht ein großes Interesse an der Herstellung von sogenannten Einzelelektronentransistoren, welche unter anderem ein großes Potential bei der Anwendung in nichtflüchtigen Speichern aufweisen. Ein MOSFET mit Quantenpunkten
25 (engl.: quantum dots) im Gate-Oxid ist so ein Einzelelektronentransistor. Bei Anlegen einer Spannung an der Gate-Elektrode tunneln Elektronen durch das Gate-Oxid zu den Quantenpunkten und werden von diesen aufgenommen. Die Anzahl an Elektronen, welche von einem Quantenpunkt aufgenommen werden kann, ist durch die negative Aufladung des Quantenpunkts und die daraus resultierende Coulomb-Abstoßung

zwischen einem negativ aufgeladenen Quantenpunkt und einem negativ geladenen Elektron begrenzt.

Die Retentionszeit, dass heißt die Zeit in der die Ladung auf den Quantenpunkten in dem Gate-Oxid gespeichert ist, ist in einem solchen Transistor sehr lang, da die Elektronen beim Wegtunneln eine hohe Energiebarriere überwinden müssen. Dies macht den Einsatz dieser Einzeltransistoren in nichtflüchtigen Speichern besonders interessant. Die Energiebarriere kann durch Anlegen einer Spannung an die Gate-Elektrode gesenkt werden.

10

In der US 6,586,785 ist ein Transistor beschrieben, bei dem das Floating-Gate eines Transistors eine Schicht aus Halbleiternanopartikeln, die mit einer dielektrischen Hülle umgeben sind, enthält. Das Floating-Gate ist zwischen zwei Oxid-Schichten angeordnet, wobei eine davon das Tunneloxid ist. Die Herstellung und Abscheidung der Nanopartikel erfolgt mittels Vakuumtechnik.

15

Nachteilig bei diesem Transistor ist, dass die Herstellung durch die Vakuumtechnik sehr aufwendig und teuer ist. Eine weitere Schwierigkeit stellt oft die Herstellung der Tunneloxid-Schicht dar. Die Tunneloxid-Schicht darf nicht zu dünn und somit leitend sein, da sonst Kurzschlüsse auftreten. Andererseits darf sie nicht zu dick sein, damit die Elektronen noch durch sie hindurch tunneln können.

20

Es ist deshalb eine Aufgabe der Erfindung, ein verbessertes Halbleiterbauelement mit einer Isolationsschicht bereit zu stellen, welches einfach und preiswert herzustellen ist.

25

Diese Aufgabe wird gelöst durch ein Halbleiterbauelement, welches in einem Halbleiterkörper angeordnet ist, mit mindestens einer Sourcezone und mit mindestens einer Drainzone vom jeweils ersten Leitungstyp, mit mindestens einer jeweils zwischen Sourcezone und Drainzone angeordneten Bodyzone vom zweiten Leitungstyp, mit mindestens einer gegenüber dem Halbleiterkörper über eine Isolationsschicht isolierten

30

Gateelektrode, bei dem die Isolationsschicht eine verdichtete Schicht mit Quantenpunkten ist.

- 5 Das erfindungsgemäße Halbleiterbauelement hat den Vorteil, dass eine verdichtete Isolationsschicht verwendet wird, die keine einzeln angeordneten Quantenpunkte enthält, sondern bei der die Quantenpunkte in einer geschlossenen Schicht angeordnet sind. Dadurch weist sie eine erhöhte Robustheit auf.

- 10 Auch braucht beim erfindungsgemäßen Halbleiterbauelement keine Tunneloxidschicht aufgebracht zu werden. Dies vereinfacht den Herstellungsprozess des Halbleiterbauelementes und beim Betrieb des Halbleiterbauelementes können weniger Kontaktprobleme an den Schichtgrenzen auftreten, da weniger Schichten im Halbleiterbauelement vorhanden sind.

- 15 Ein weiterer Vorteil des erfindungsgemäßen Halbleiterbauelements liegt darin, dass die Quantenpunkte mittels nasschemischer Verfahren hergestellt werden können. Dadurch verbilligt sich die Herstellung des Halbleiterbauelementes.

- 20 Desweiteren betrifft die Erfindung ein Verfahren zur Herstellung eines Halbleiterbauelementes, welches in einem Halbleiterkörper angeordnet ist, mit mindestens einer Sourcezone und mit mindestens einer Drainzone vom jeweils ersten Leitungstyp, mit mindestens einer jeweils zwischen Sourcezone und Drainzone angeordneten Bodyzone vom zweiten Leitungstyp, mit mindestens einer gegenüber dem Halbleiterkörper über eine verdichtete Isolationsschicht mit Quantenpunkten isolierten
- 25 Gateelektrode, bei dem die verdichtete Isolationsschicht hergestellt wird, in dem eine Suspension mit Quantenpunkten auf dem Halbleiterkörper aufgebracht und verdichtet wird.

- 30 Bei der Herstellung der Isolationsschicht wird vorteilhaft die Schmelzpunkterniedrigung nanokristalliner Materialien ausgenutzt. Durch Ausnutzung

dieses Effektes kann die Isolationsschicht bei niedrigen Temperaturen T, meist bei $T < 300\text{ }^{\circ}\text{C}$, verdichtet werden.

Weitere vorteilhafte Ausgestaltungen finden sich in den jeweiligen Unteransprüchen.

5

Im folgenden soll die Erfindung anhand von einer Figur und einem Ausführungsbeispiel näher erläutert werden. Dabei zeigt:

Fig. 1 im Querschnitt den Aufbau eines MOS-Feldeffekttransistors.

10

Fig. 1 zeigt schematisch den Aufbau eines MOS-FET. Ein Halbleiterkörper 1, beispielsweise aus Silicium, GaAs, SiC, GaN oder InP, weist eine erste Oberfläche 2 (Scheibenvorderseite) und eine zweite Oberfläche 3 (Scheibenrückseite) auf. In die erste Oberfläche 2 ist eine stark n-dotierte Sourcezone 4 und sowie eine davon beabstandete stark n-dotierte Drainzone 5 eingebracht. In dieser Ausführungsform eines MOS-FETs ist demnach der erste Leitungstyp n-leitend, der zweite Leitungstyp p-leitend und es wird ein n-Kanal MOS-FET erhalten. Prinzipiell können die n- und die p-Dotierungen vertauscht werden, so dass ein p-Kanal MOS-FET entsteht. Als Dotierungsatom für die p-leitenden Bereiche kann beispielsweise Bor und als Dotierungsatome für n-leitende Bereiche können beispielsweise Phosphor, Arsen oder Antimon verwendet werden. Die Sourcezone 4 ist über eine Source-Metallisierung 6 (Source-Elektrode), die Drainzone 5 über eine Drain-Metallisierung 7 (Drain-Elektrode) elektrisch leitend kontaktiert. Zwischen Sourcezone 4 und Drainzone 5 ist eine p-leitende Bodyzone 8 angeordnet. Im Bereich der an die erste Oberfläche 2 tretenden Bereiche der Bodyzone 8 ist eine über eine Isolationsschicht 9 vom Halbleiterkörper 1 isolierte Gate-Elektrode 10 (Steuerelektrode) angeordnet. Die Gate-Elektrode 10, die Source-Elektrode 6 und die Drain-Elektrode 7 sind jeweils mit dem Gate-Anschluss G, Source-Anschluss S bzw. Drain-Anschluss D verbunden und sind an der ersten Oberfläche 2 voneinander beabstandet über eine in Fig. 1 nicht gezeigte Passivierungsschicht, beispielsweise ein Feldoxid, nach außen hin isoliert. Auch an den Randbereichen des Halbleiterbauelementes befinden sich isolierende Bereiche 11. Die

15

20

25

30

Gate-Elektrode 10, die Source-Elektrode 6 und die Drain-Elektrode 7 können als Materialien beispielsweise Al, Au-Sb, Ni-Ge, Au-Ni-Ge, Ni-Ag-Ge, Ni-Pd-Ge, Ni-Pt-Ge, Ni-In-Ge, Ti, Al-Ti, Al-Ti-Al, Ni, Ti-Au oder Pd-Au enthalten. Die Wahl des Materials im Einzelfall hängt
5 unter anderem vom verwendeten Halbleitermaterial und der Art der Dotierung ab.

- Die verdichtete Isolationsschicht 9 enthält Quantenpunkte, die in eine dielektrische Matrix eingebettet sind. Die Quantenpunkte enthalten beispielsweise sogenannte Kompositthalbleiter, dass heißt Halbleiter, die aus verschiedenen Elementen der
- 10 Hauptgruppen im Periodensystem zusammengesetzt sind. Das Halbleitermaterial ist beispielsweise ein Gruppe-IV-Material, ein Gruppe-III/V-Material, ein Gruppe-II/VI-Material, ein Gruppe-I/VII-Material oder eine Kombination aus einem oder mehrer dieser Halbleitermaterialien. Vorzugsweise enthalten die Quantenpunkte Si oder Gruppe-II/VI-Materialien wie beispielsweise CdSe, CdS, CdTe, ZnS, HgS, ZnTe,
- 15 ZnSe, ZnO oder Gruppe-III/V-Materialien wie beispielsweise InP, InAs, InN, GaAs, GaN, GaP, GaSb, AlAs oder AlP. Ein Quantenpunkt kann auch TiO₂, PbS oder ein beliebig anderes Material enthalten.
- 20 Alternativ können die Quantenpunkte derart aufgebaut sein, dass ein Quantenpunkt einen Kern aus einem Halbleitermaterial enthält, der von einer dielektrischen Hülle mit großer Bandlücke umgeben ist. Das Material der dielektrischen Hülle ist ein dielektrisches Material wie beispielsweise SiO₂, Al₂O₃ oder Y₂O₃. Diese Materialien weisen eine hohe Bandlücke auf und haben deshalb gute, isolierende Eigenschaften.
- 25 Derartige Quantenpunkte werden auch als „Core-Shell-Quantenpunkte“ bezeichnet. Bevorzugte Quantenpunkte mit Core-Shell-Aufbau sind beispielsweise TiO₂/SiO₂ oder ZnS/SiO₂.

Der Durchmesser der Quantenpunkte bzw. der Durchmesser des Kerns bei Core-Shell-

30 Quantenpunkten hängt vom verwendeten Material ab und beträgt vorzugsweise zwischen 1 und 10 nm. Es kann insbesondere bevorzugt sein, dass der Durchmesser der

- Quantenpunkte zwischen 1 und 5 nm beträgt. Auch die Schichtdicke der dielektrischen Hülle hängt vom verwendeten Material ab. Die Schichtdicke darf nicht zu groß sein, da ansonsten in der fertigen, verdichteten Isolationsschicht 9 die Elektronen nicht mehr durch die dielektrische Matrix zu den Quantenpunkten tunneln können. Die
- 5 Schichtdicke darf auch nicht zu gering sein, da sonst die dielektrische Matrix nicht ausreichend isoliert und als Folge Kurzschlüsse auftreten können. Die Schichtdicke der dielektrischen Hüllen liegt vorzugsweise im Bereich von 2.5 nm.

- Verdichten beschreibt in diesem Zusammenhang den physikalischen Prozess des
- 10 Zusammenbringens von Teilchen, nämlich der Quantenpunkte, unter Ausbildung einer geschlossenen Isolationsschicht 9. Dies kann beispielsweise mittels Hitze, Druck, Belichtung, chemischer Reaktion oder einer Kombination dieser Mittel geschehen. Es ist insbesondere bevorzugt, dass der Verdichtungsprozess mittels Hitze erfolgt. Dieser Prozess kann auch als Sintern der Isolationsschicht 9 bezeichnet werden.

- 15 Die Quantenpunkte werden in der Regel mittels kolloid-chemischer Synthese hergestellt. Dabei werden die Reaktionspartner, meist eine metallhaltige und eine nichtmetallhaltige Verbindung in einem organischen Lösungsmittel oder in Wasser gemischt und bei erhöhten Temperaturen zur Reaktion gebracht.

- 20 Zur Herstellung von Quantenpunkten, die einen Kern und eine dielektrische Hülle enthalten, wird zunächst wie oben beschrieben der Kern hergestellt. Anschließend wird die Lösung abgekühlt und der Lösung eine oder mehrere Vorstufen für die dielektrische Hülle zugesetzt.

- 25 Bei dielektrischen Hüllen aus SiO_2 werden zunächst die Kerne hergestellt und in einer alkoholischen Lösung dispergiert. Nach Zugabe von Tetraethylorthosilikat (TEOS) und Erhöhung des pH-Wertes scheidet sich eine SiO_2 -Vorstufe auf den Kernen ab. Durch Erhitzen der Lösung auf Temperaturen um 400°C wird eine komplette Hülle aus SiO_2
- 30 erhalten. Bei dielektrischen Hüllen aus Y_2O_3 werden zunächst die Kerne wie oben beschrieben hergestellt. Anschließend wird eine wässrige Lösung von $\text{Y}(\text{NO}_3)_3$ mit

$(\text{NH}_2)_2\text{CO}$ versetzt und zu der Lösung mit den Kernen gegeben. Beim Erhitzen dieser Mischung auf 80°C scheidet sich langsam $\text{Y}(\text{OH})\text{CO}_3$ auf den Kernen ab, welches sich dann bei Temperaturen um 600°C in Y_2O_3 umwandelt.

- 5 Während der Fällungsreaktion werden komplexierende Liganden zugegeben, die an der Oberfläche eines Quantenpunkts anbinden. Zur Verbesserung der Größenverteilung kann anschließend eine Größenfraktionierung durchgeführt werden.

- Als komplexierende Liganden werden vorzugsweise organische Liganden, die bei dem
- 10 Verdichtungsprozess, insbesondere beim Sintern, rückstandslos verdampfen, verwendet. Vorzugsweise wird Pyridin als komplexierender Ligand verwendet. Alternativ können zunächst während der Synthese der Quantenpunkte andere komplexierende Liganden wie beispielsweise Hexadecylamin (HDA), Triocetylphosphinoxid (TOPO) und/oder Triocetylphosphin (TOP) verwendet. Vor
- 15 Herstellung der verdichteten Isolationsschicht 9 werden diese durch mehrmaliges Waschen mit Pyridin durch Pyridin ersetzt.

Je nach Art der Quantenpunkte werden zwei unterschiedliche Varianten zur Herstellung einer verdichteten Isolationsschicht 9 verwendet:

- 20 Zur Herstellung einer verdichteten Isolationsschicht 9 ausgehend von Quantenpunkten mit dielektrischen Hüllen wird die Suspension mit den stabilisierten Quantenpunkten auf dem Halbleiterkörper 1 aufgebracht. Dies kann beispielsweise mittels wiederholtem Tauchen des Halbleiterkörpers 1 in die Suspension, Spincoating, Elektrophorese oder
- 25 Sedimentation erfolgen.

- Anschließend wird die Isolationsschicht 9 bei Temperaturen bis zu 350°C , vorzugsweise bis zu 300°C , in einer inerten Atmosphäre verdichtet. Die Verdichtungstemperaturen können bei Anlegen eines Überdrucks während des
- 30 Verdichtungsprozesses gesenkt werden.

Während des Verdichtungsprozesses schmelzen die Hüllen vor den Kernen und das Material der Hüllen verteilt sich auch zwischen den Kernen der Quantenpunkte. Nach dem Abkühlen wird eine geschlossene, verdichtete Isolationsschicht 9 erhalten bei der die Quantenpunkte in der dielektrischen Matrix eingebettet sind. Bei dieser Variante
5 entsteht die dielektrische Matrix aus den dielektrischen Hüllen der Quantenpunkte.

Alternativ kann eine derartige verdichtete Isolationsschicht 9 erhalten werden, in dem der Suspension mit den stabilisierten Quantenpunkten Partikel eines dielektrischen Materials zugesetzt werden, wobei der Partikeldurchmesser des dielektrischen
10 Materials kleiner ist als der Partikeldurchmesser der gesamten (inklusive Hülle) Quantenpunkte. Die Isolationsschicht 9 wird dann wie oben beschrieben auf dem Halbleiterkörper 1 aufgebracht und verdichtet. Während des Verdichtungsprozesses schmelzen die Partikel des dielektrischen Materials aufgrund der
15 Schmelzpunktniedrigung nanokristalliner Materialien vor den Quantenpunkten und das dielektrische Material verteilt sich homogen zwischen den Quantenpunkten. Es wird eine verdichtete Isolationsschicht 9 erhalten, die einen geschlossenen Film aus dem dielektrischen Material enthält, in dem die Quantenpunkte verteilt sind. In dieser Varianten können Quantenpunkte mit oder ohne isolierende Hülle eingesetzt werden. Die Menge an dielektrischem Material wird dabei so gewählt, dass in der verdichteten
20 Isolationsschicht 9 ein Tunneln von Elektronen zu den Quantenpunkten möglich ist. Vorzugsweise ist das dielektrische Material SiO_2 , Al_2O_3 oder Y_2O_3 . Weiterhin ist bevorzugt, dass bei Verwendung von Quantenpunkten mit dielektrischer Hülle, das Material der dielektrischen Hülle mit dem Material der dielektrischen Partikeln
identisch ist.

25

Beim Betrieb des Halbleiterbauelementes tunneln beim Anlegen einer entsprechenden Spannung an die Gate-Elektrode 10 Elektronen aus der Bodyzone 8 in die verdichtete Isolationsschicht 9 und werden von den Quantenpunkten gespeichert. Die dielektrische Matrix, welche aus dem dielektrischen Hüllenmaterial und/oder den dielektrischen
30 Partikeln entstanden ist, zwischen einem Quantenpunkt und der Bodyzone 8 fungiert dabei als Tunneloxid. Die Ladungen (= Elektronen) werden nur von den

Quantenpunkten aufgenommen, die am Rand zur Bodyzone 8 liegen. Der darüber liegende Bereich der verdichteten Isolationsschicht 9 dient zur Isolation. Im erfindungsgemäßen Halbleiterbauelement wird somit im Gegensatz zum Halbleiterbauelement aus dem Stand der Technik nur eine einzige Schicht, nämlich die verdichtete Isolationsschicht 9 benötigt, und kein Schichtaufbau bestehend aus Tunneloxid, Quantenpunkten und Isolationsoxid. Das Halbleiterbauelement kann zusätzlich noch eine Oxidschicht zwischen Gate-Elektrode 10 und der verdichteten Isolationsschicht 9 aufweisen. Auch diese Ausführungsform ist noch vorteilhaft gegenüber dem Stand der Technik, da die teilweise schwierig herzustellende Tunneloxidschicht eingespart wird.

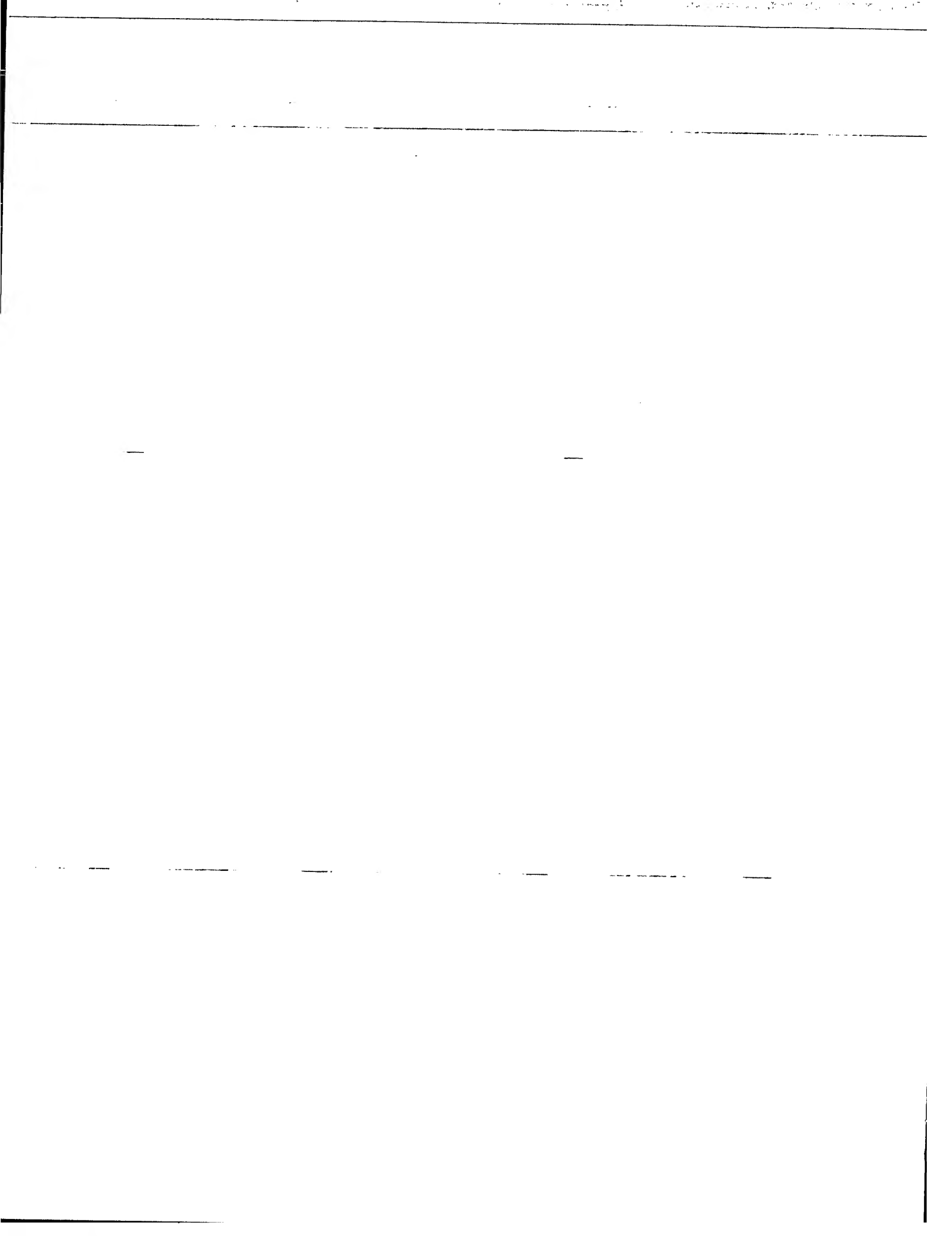
Die Herstellung des Halbleiterbauelements selber erfolgt mittels bekannter Verfahren.

15 Ausführungsbeispiel 1

Zur Herstellung eines erfindungsgemäßen Halbleiterbauelementes wurde zunächst durch Ionenimplantation von Phosphor in den Halbleiterkörper 1 aus Bor-dotiertem Silicium die n-leitende Sourcezone 4 und die n-leitende Drainzone 5 erzeugt.

20 Anschließend wurden mittels eines lithografischen Verfahren die Source-Elektrode 6 und die Drain-Elektrode 7 aus Al dotiert mit 0.5 Gew.-% Cu aufgebracht. Zwischen die beiden Elektroden 4, 5 wurde eine Suspension mit $\text{TiO}_2/\text{SiO}_2$ -Quantenpunkten mittels Spincoating aufgebracht und bei Temperaturen bis zu 300 °C in einer inerten Atmosphäre verdichtet. Die verdichtete Isolationsschicht 9 enthielt TiO_2 -

25 Quantenpunkte mit einem Durchmesser von 5 nm eingebettet in eine Matrix aus SiO_2 . Nach Abkühlung auf Raumtemperatur wurde auf die Isolationsschicht 9 die Gate-Elektrode 10 aus Al aufgebracht.



PATENTANSPRÜCHE

1. Halbleiterbauelement, welches in einem Halbleiterkörper angeordnet ist, mit mindestens einer Sourcezone und mit mindestens einer Drainzone vom jeweils ersten Leitungstyp, mit mindestens einer jeweils zwischen Sourcezone und Drainzone angeordneten Bodyzone vom zweiten Leitungstyp, mit mindestens einer gegenüber dem
- 5 Halbleiterkörper über eine Isolationsschicht isolierten Gateelektrode, bei dem die Isolationsschicht eine verdichtete Schicht mit Quantenpunkten ist.
2. Halbleiterbauelement nach Anspruch 1,
dadurch gekennzeichnet,
- 10 dass die verdichtete Isolationsschicht Quantenpunkte eingebettet in eine Matrix aus einem dielektrischen Material enthält.
3. Halbleiterbauelement nach Anspruch 1,
dadurch gekennzeichnet,
- 15 dass die Quantenpunkte ein Halbleitermaterial enthalten.
4. Halbleiterbauelement nach Anspruch 1,
dadurch gekennzeichnet,
dass die verdichtete Isolationsschicht 9 eine gesinterte Schicht ist.
- 20
5. Verfahren zur Herstellung eines Halbleiterbauelementes, welches in einem Halbleiterkörper angeordnet ist, mit mindestens einer Sourcezone und mit mindestens einer Drainzone vom jeweils ersten Leitungstyp, mit mindestens einer jeweils zwischen Sourcezone und Drainzone angeordneten Bodyzone vom zweiten Leitungstyp, mit

mindestens einer gegenüber dem Halbleiterkörper über eine verdichtete Isolationsschicht mit Quantenpunkten isolierten Gateelektrode, bei dem die verdichtete Isolationsschicht hergestellt wird, in dem eine Suspension mit Quantenpunkten auf dem Halbleiterkörper aufgebracht und verdichtet wird.

5

6. Verfahren nach Anspruch 5,

dadurch gekennzeichnet,

dass die Verdichtung der Isolationsschicht mittels Sinterns erfolgt.

10 6. Verfahren nach Anspruch 5,

dadurch gekennzeichnet,

dass die Suspension zusätzlich Partikel eines dielektrischen Materials enthält, wobei der Durchmesser der Partikel des dielektrischen Materials kleiner als der Durchmesser der Quantenpunkte ist.

15

ZUSAMMENFASSUNG

Halbleiterbauelement mit Isolationsschicht

Die Erfindung beschreibt ein Halbleiterbauelement, welches in einem Halbleiterkörper angeordnet ist, mit mindestens einer Sourcezone und mit mindestens einer Drainzone
5 vom jeweils ersten Leitungstyp, mit mindestens einer jeweils zwischen Sourcezone und Drainzone angeordneten Bodyzone vom zweiten Leitungstyp, mit mindestens einer gegenüber dem Halbleiterkörper über eine Isolationsschicht isolierten Gateelektrode, bei dem die Isolationsschicht eine verdichtete, vorzugsweise gesinterte, Schicht mit Quantenpunkten ist.

10

Ferner beschreibt die Erfindung ein Verfahren zur Herstellung eines solchen Halbleiterbauelementes.

Fig. 1

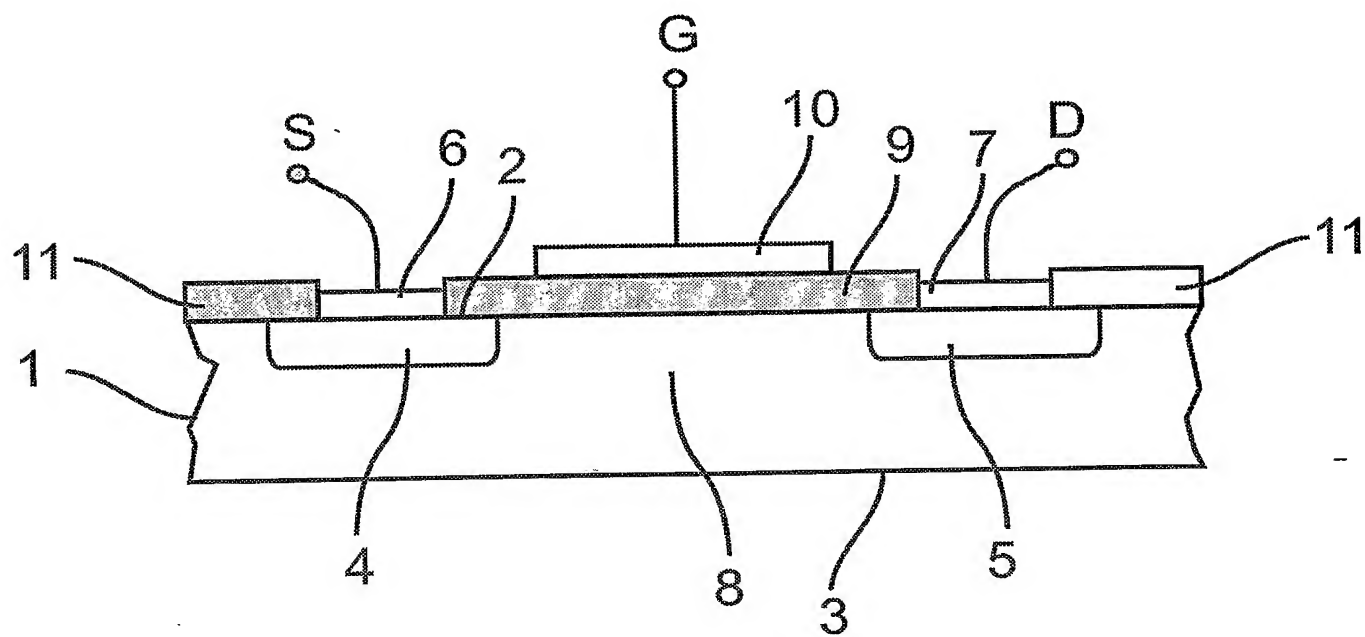


Fig. 1

PCT/IB2004/052905

